

PAT-NO: JP02000048326A

DOCUMENT-IDENTIFIER: JP 2000048326 A

TITLE: MAGNETO-RESISTANCE EFFECT TYPE HEAD ELEMENT ASSEMBLY AND ITS PRODUCTION

PUBN-DATE: February 18, 2000

INVENTOR-INFORMATION:

| NAME | COUNTRY |
|-------------------|---------|
| IMANAKA, RITSU | N/A |
| SHIRAKI, KIYONORI | N/A |
| SAITO, HARUNOBU | N/A |
| AKIMOTO, HAJIME | N/A |
| SASAKI, SHINOBU | N/A |
| TAI, YOSHIHARU | N/A |

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|-------------|---------|
| HITACHI LTD | N/A |

APPL-NO: JP10216844

APPL-DATE: July 31, 1998

INT-CL (IPC): G11B005/39

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent insulation breakdown at the time of manufacturing a magneto-resistance effect type magnetic head element by allowing an assembly to have a first conductor in which respective magnetic shields of plural reproducing elements, respective magnetic poles of plural recording elements or respective magnetic shields of plural reproducing elements and respective magnetic poles of plural recording elements are electrically connected and a second conductor in which respective electrodes of plural reproducing elements are electrically connected to the first conductor.

SOLUTION: A lower magnetic shield 3 and an upper magnetic shield 9 are electrically connected each other through the contact hole 33 of a lower gap film and an upper gap film and the upper magnetic shield 9 and an upper magnetic pole 13 are electrically connected each other through the contact hole 34 of a gap film for recording 10. In the electrode 6 of a reproducing element, a second conductor 52 in which one part of the electrode is extended is formed and the second conductor 52 is electrically connected to a first conductor 51. Since the first and second conductors are formed with the lower shield layer 3 being the lowermost layer of the constitution of a magneto-resistance effect type head element and an electrode layer, electrostatic breakdown to be generated between the layers is prevented.

COPYRIGHT: (C)2000,JPO

(11)特許出願公開番号

特開2000-48326

(P2000-48326A)

(43)公開日 平成12年2月18日(2000.2.18)

(51) Int.Cl.⁷

識別記号

FI

テーマコート* (参考)

G 1 1 B 5/39

G 1 1 B 5/39

5 D 0 3 4

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21)出願番号 特願平10-216844

(22)出願日 平成10年7月31日(1998.7.31)

(71)出國人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 發明者 今中 律

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

(72)発明者 白木 清典

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

(74) 代理人 100068504

弁理士 小川 勝男

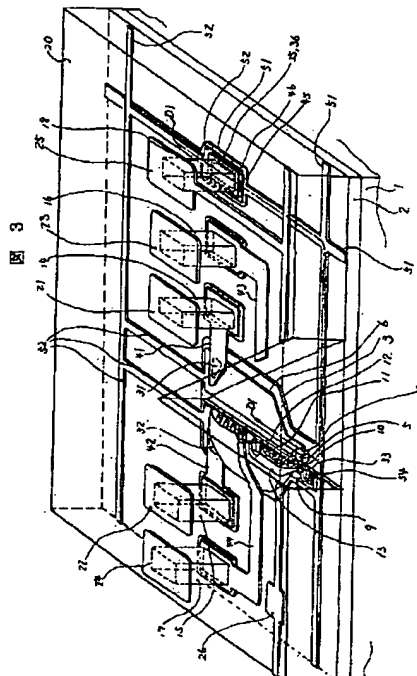
[最終頁に続く](#)

(54)【発明の名称】 磁気抵抗効果型ヘッド素子集合体及びその製造方法

(57) 【要約】

【課題】磁気抵抗効果型ヘッド素子作製工程中における静電破壊を防止するため、電極と磁気シールド膜を導通させておくことと効果があるが、素子作製工程終了時に素子の抵抗測定や絶縁性能測定ができず、素子の合否判定がくたせず、磁気シールドと磁気センサが短絡あるいは擬似短絡した素子が後工程へ流れてしまい、磁気記憶装置の信頼性を低下させてしまう。

【解決手段】基板上に形成される複数の再生生素子の各磁気シールド、複数の記録用の各磁極を第一の導電体に電気的に接続し、複数の再生生素子の各電極を第二の導電体で前記第一の導電体に電気的に接続した磁気抵抗効果型ヘッド素子集合体により達成される。



【特許請求の範囲】

【請求項1】基板上に複数の素子が形成された磁気抵抗効果型ヘッド素子集合体において、複数の再生用素子の各磁気シールド、又は複数の記録用素子の各磁極、あるいは、複数の再生用素子の各磁気シールドと、複数の記録用素子の各磁極が電氣的に接続された第一の導電体と、複数の再生用素子の各電極を該第一の導電体に電氣的に接続する第二の導電体とを有することを特徴とする磁気抵抗効果型ヘッド素子集合体。

【請求項2】基板上に複数の素子が形成された磁気抵抗効果型ヘッド素子集合体において、複数の再生用素子の各磁気シールド、又は複数の記録用素子の各磁極、あるいは、複数の再生用素子の各磁気シールドと、複数の記録用素子の各磁極が電氣的に接続された第一の導電体と、複数の再生用素子の各電極を該第一の導電体に電氣的に接続する第二の導電体とを有し、該第一の導電体、又は該第二の導電体、又は該第一の導電体、あるいは該第二の導電体につながった導電体が基板の外周部に延びていることを特徴とする磁気抵抗効果型ヘッド素子集合体。

【請求項3】基板上に複数の素子が形成された磁気抵抗効果型ヘッド素子集合体において、複数の再生用素子の各磁気シールド、又は複数の記録用素子の各磁極、あるいは、複数の再生用素子の各磁気シールドと、複数の記録用素子の各磁極が電氣的に接続された第一の導電体と、複数の再生用素子の各電極を該第一の導電体に電氣的に接続する第二の導電体とを有し、該第一の導電体、又は該第二の導電体、又は該第一の導電体、あるいは該第二の導電体につながった導電体が基板と電氣的に接続されたことを特徴とする磁気抵抗効果型ヘッド素子集合体。

【請求項4】基板上に複数の素子が形成される磁気抵抗効果型ヘッド素子集合体の製造方法において、複数の再生用素子の各磁気シールド、又は複数の記録用素子の各磁極、あるいは、複数の再生用素子の各磁気シールドと、複数の記録用素子の各磁極が電氣的に接続された第一の導電体を形成する工程と、複数の再生用素子の各電極を該第一の導電体に電氣的に接続する第二の導電体を形成する工程と、該第一の導電体と該第二の導電体が形成された状態で成膜、エッチングを行う工程と、後に、電氣的に接続されている該電極と、該第二の導電体とを、電氣的に分離する工程とを含むことを特徴とする磁気抵抗効果型ヘッド素子集合体の製造方法。

【請求項5】基板上に複数の素子が形成される磁気抵抗効果型ヘッド素子集合体の製造方法において、複数の再生用素子の各磁気シールド、又は複数の記録用素子の各磁極、あるいは、複数の再生用素子の各磁気シールドと、複数の記録用素子の各磁極が電氣的に接続された第一の導電体を形成する工程と、複数の再生用素子の各電極を該第一の導電体に電氣的に接続する第二の導電体を

形成する工程と、基板の外周部に延びる該第一の導電体、又は該第二の導電体を装置グランド側に電気接続させて成膜を行う、又はパターンのエッチングを行う工程と、後に、電氣的に接続されている該電極と該第二の導電体とを電氣的に分離する工程とを含むことを特徴とする請求項2記載の磁気抵抗効果型ヘッド素子集合体の製造方法。

【請求項6】基板上に複数の素子が形成される磁気抵抗効果型ヘッド素子集合体の製造方法において、複数の再生用素子の各磁気シールド、又は複数の記録用素子の各磁極、あるいは、複数の再生用素子の各磁気シールドと、複数の記録用素子の各磁極が電氣的に接続された第一の導電体を形成する工程と、複数の再生用素子の各電極を該第一の導電体に電氣的に接続する第二の導電体を形成する工程と、該第一の導電体または該第二の導電体を基板と電氣的に接続する工程と、該基板を装置グランド側に電気接続させて成膜を行う、又はパターンのエッチングを行う工程と、後に、電氣的に接続されている該電極と該第二の導電体とを電氣的に分離する工程とを含むことを特徴とする請求項3記載の磁気抵抗効果型ヘッド素子集合体の製造方法。

【請求項7】磁気抵抗効果型ヘッド素子集合体の製造方法において、請求項4から6のいずれか1項記載の製造方法に続いて、素子の性能測定を行う工程を含むことを特徴とする磁気抵抗効果型ヘッド素子集合体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気抵抗効果型ヘッド素子集合体に係り、素子製造工程中での静電破壊を防止し、磁気シールドと磁気センサ、又は電極間の短絡が無い磁気抵抗効果型ヘッド素子集合体、及びその製造方法に関する。

【0002】

【従来の技術】近年、磁気記録装置は、記憶容量の増加に伴い記録密度が増大してきている。この記録装置に使用される磁気抵抗効果型ヘッドにおいても、磁気シールドと磁気センサの間隔（磁気ギャップ）が小さくなり、磁気センサ自体の寸法も小さくなってきている。このため、磁気シールドと磁気センサの間隔を規定している絶縁膜のピンホール等により、磁気シールドと磁気センサ（及び電極）が短絡、あるいは擬似短絡したり、ヘッド製造中の静電気により、磁気シールドと磁気センサの間隔を規定している絶縁膜が破壊したり、大電流が流れて磁気センサが破壊する等、磁気ヘッドの製造歩留の低下が問題となってきている。上述の静電気の問題は、ヘッド素子の成膜、エッチングの工程で顕著になってきている。

【0003】磁気抵抗効果型ヘッド素子は、半導体プロセスの様に、プラズマを用いた設備で、スパッタリング

等による成膜、イオンミリング等によるエッチングにより作製される。プラズマは、マイナスの電子、プラス、中性イオン、からなる。このため、プラズマ雰囲気中に素子基板がさらされると、帯電し、絶縁膜や磁気センサの破壊を引き起こす。一枚の基板上には多数のヘッド素子が形成され、また、前記の設備内に数枚～十数枚の基板を入れ、一度に処理するため、一旦静電破壊が生じると損害は膨大なものとなる。

【0004】前記の様な素子形成工程での静電破壊防止の公知技術として、特開平8-167123号公報、特開平8-221721号公報が知られている。前者は、磁気抵抗効果素子の電極とシールド膜と、あるいは電極とシールド膜及び磁気誘導型素子の磁極とを電気的に接続して、素子形成のプロセスを実施し、素子の作製後、基板から素子毎に切り出し、研磨加工を施し、前記接続を除去するものである。後者は、磁気抵抗効果素子の一对の電極を短絡させて素子形成のプロセスを実施し、基板から切り出し、加工後に短絡部を除去するものである。

【0005】

【発明が解決しようとする課題】前記公知技術において、磁気抵抗効果ヘッドの素子作製工程が終了した時点では、電極とシールド膜、あるいは電極とシールド膜、及び磁気誘導型素子の磁極とが接続されていたり、電極を短絡させている。このため、素子作製工程終了時に素子の抵抗判定や絶縁性能判定が出来ず、素子の合否判断がくたせず、前述した絶縁膜のピンホール等の静電破壊以外が原因で磁気シールドと磁気センサ（及び電極）が短絡、あるいは擬似短絡した素子が後工程へ流れてしまい、磁気記憶装置の信頼性を低下させてしまうという課題があった。

【0006】本発明の目的は、前記の従来技術の問題点を解決し、素子作製中の絶縁破壊を防止し、素子作製後の素子の合否判定を可能にし、高信頼性を有する磁気抵抗効果型ヘッド素子集合体、及び、その製造方法を提供することにある。

【0007】

【課題を解決するための手段】前記課題は、基板上に形成される複数の再生用素子の各磁気シールド、複数の記録用の各磁極を第一の導電体に電気的に接続し、複数の再生用素子の各電極を第二の導電体で前記第一の導電体に電気的に接続した磁気抵抗効果型ヘッド素子集合体により達成される。

【0008】さらに、前述の課題は、(1)基板上に形成される複数の再生用素子の各磁気シールド、複数の記録用の各磁極を第一の導電体に電気的に接続し、(2)複数の再生用素子の各電極を第二の導電体により前記第一の導電体に電気的に接続して、前記磁気シールド、前記磁極と前記電極を電気的に導通させ、(3)この状態で、成膜またはパターンのエッチングを行い、(4)こ

の後、電気的に接続されている前記電極と前記第一の導電体を電気的に分離し、(5)次に、素子の性能判定を実施する磁気抵抗効果型ヘッド素子集合体の製造方法により達成される。

【0009】

【発明の実施の形態】以下、本発明の実施例について、図面を参照しながら説明する。

【0010】前述の静電破壊の防止は、静電破壊が発生する工程迄に本発明の構成を実施することにより、以降の静電破壊の発生を防止することができる。また、静電破壊が発生する工程においてのみ本発明の構成を実施することでも、効果を得ることが出来る。

【0011】まず、前者の例について、本発明の第一の実施例で説明する。図1は、アルミナ・チタンカーバイド系の基板1上に、複数の再生用素子の各磁気シールドと記録用素子の各磁極が電気的に接続された第一の導電体51と、複数の再生用素子の各電極が電気的に接続された第二の導電体52が形成され、第一の導電体51と第二の導電体52とが接続された磁気抵抗効果型磁気ヘッド素子集合体を示している。また、図2は、図1のA部を拡大した概略の説明図であり、図3は、本実施例の構造を説明するために、図2のB部を拡大した図（理解し易くするため素子の一部は断面形状で示している）である。さらに、図4は、図3のC部を拡大した再生用素子の説明図である。

【0012】図3に示す様に、基板1上にアルミナ等のベース膜2が形成され、この上にNiFe等の下部磁気シールド3、アルミナ等の非磁性絶縁膜の再生用下部ギャップ膜4（図4を参照）、MRセンサ5とMRセンサに導通したTa/W複合膜等の電極6（図4の様に電極6と磁区制御膜7から構成）、アルミナ等の非磁性絶縁膜の再生用上部ギャップ膜8（図4を参照）、NiFe等の上部磁気シールド9が順に形成され、再生用素子が構成されている。再生用素子の上部磁気シールド9は、記録用素子の下部磁極を兼用している。

【0013】さらに、再生用素子の上にアルミナ等の非磁性絶縁膜の記録用ギャップ10、銅メッキ等の記録用のコイル11、フォトレジスト等をベークした絶縁体12、NiFe等の上部磁極13が形成され、記録用素子が構成されている。この後、銅メッキ等の下部端子14～17を形成し、アルミナ等の素子保護膜20で全体を覆い、下部端子の表面が露出する様に前記保護膜20をラップ等で研磨し、下部端子14～17、素子保護膜20の上に金めっき等の上部端子21～24を形成する。

【0014】再生用素子の前記電極6は、上部ギャップのコンタクトホール31、32を通して、上部磁気シールド9と同工程、同材料で形成された引出線41、42により下部端子14、15に電気接続されている。また、記録用のコイル11は、コイル中心部、コイルの他端が上部磁極13と同工程、同材料で形成された引出線

44、43により、下部端子17、16に電気接続されている。

【0015】下部磁気シールド3と上部シールド9は、下部ギャップ膜4、上部ギャップ膜8のコンタクトホール33を通して互いに電気接続され、また、上部磁気シールド9と上部磁極13は、記録用ギャップ膜10のコンタクトホール34を通して互いに電気接続される。また、下部磁気シールド3は、下部磁気シールド3と同工程、同材料で形成された第一の導電体51と接続されている。これにより、下部磁気シールド3と上部磁気シールド9、上部磁極13が電気的に接続された、第一の導電体51が形成される。

【0016】また、再生用素子の電極6において、電極の一部が伸びた第二の導電体52が形成されている。第二の導電体52は、電極6と同工程、同材料で形成されている。

【0017】さらに、第二の導電体52は、第一の導電体51と電気的に繋がっている。すなわち、導電体51は、下部磁気シールド/電極間の下部ギャップ膜4のコンタクトホール35を通して、第二の導電体52に接続される。コンタクトホール35上の第二の導電体52の上には、上部ギャップ膜8、記録用ギャップ膜10のコンタクトホール36を通して、上部磁気シールド9と同材料の部材45、上部磁極13と同材料の部材46、下部端子18（下部端子14～17と同材料、同工程）が形成され、下部端子18は上部端子25（上部端子21～24と同材料、同工程で形成）と接続されている。上部端子25は、性能測定用端子26（上部端子21～24と同材料、同工程で形成）と電気的に接続されている。

【0018】以上の様に、磁気抵抗効果ヘッド素子を構成する最下層である下部磁気シールド層と電極層で前記した第一、第二の導電体を形成しているため、これらの層間で発生する静電破壊の防止と、以降の工程での静電破壊の防止に効果が得られる。次に、これらについて、製造工程を示しながら説明する。

【0019】図5(a)～(c)は、本実施例の製造工程を説明するための図であり、図3のD1-D2の経路の断面概略図である。

【0020】図5(a)は電極形成までを説明するための図である。基板1の上に、ベース膜2がスパッタリング等で成膜されている。この上に、下部磁気シールド3、第一の導電体51が形成される。これらは、下部磁気シールド材料をメッキ、スパッタリング等で成膜、イオンミリング、ウェットエッチング等で形成され、一体的で連続した構造である。次に、アルミナ等の絶縁膜がリフトオフ法、あるいは、スパッタリング成膜・イオンミリングエッチングにより再生用下部ギャップ膜4が形成される。下部ギャップ膜4は、コンタクトホール33、35の開口部を有している。

【0021】次に、電極6と第二の導電体52（電極6と同材料）が形成される。この工程では、リフトオフ法を用いた。すなわち、フォトレジスト70を形成し、電極材料6をスパッタリング等で成膜し、フォトレジスト70とフォトレジスト70上の電極材料6を除去する。MRセンサ部と電極については、公開技誌第95-1246号に示されている製造方法を用いている。第二の導電体52は、コンタクトホール35で第一の導電体51（下部磁気シールド3）に導通し、電極6と第二の導電体52は接続されている（図3参照）ので、電極材料6のスパッタリング時に基板上の膜が帯電しても、下部磁気シールド3と電極6は同電位に保たれ、これらの間の静電破壊の発生が防止できる。

【0022】図5(b)は、電極形成後、上部磁気シールド形成までを説明するための図である。電極6と前記第二の導電体52が形成された後、コンタクトホール33、35の開口部を有する再生用上部ギャップ膜8が、下部ギャップ膜4と同様の手法で形成される。次に、上部磁気シールド膜9aをスパッタリング等で成膜し、この後、フォトレジスト71を形成し、これをマスクにして、上部磁気シールド膜9aをエッチングし、上部磁気シールド9と第二の導電体52のカバー45が形成される。上部磁気シールド膜9aのエッチングには、イオンミリング等を用いるが、電極6と上部磁気シールド9は、下部磁気シールド3と接続されているので、これらは同電位に保たれ、静電破壊の発生が防止できる。

【0023】図5(c)は、上部磁気シールド形成後、上部磁極形成までを説明するための図である。上部磁気シールド9、カバー45が形成された後、コンタクトホール34、36の開口部を有する記録用ギャップ膜10が、下部ギャップ膜4・上部ギャップ膜8と同様の手法で形成される。次に、フォトレジストを硬化させた絶縁膜、メッキ等によるコイル、コイルと上部磁極を電気絶縁するフォトレジストを硬化させた絶縁膜を、順に形成する（図示せず）。次に、上部磁極がメッキにより形成される。すなわち、上部磁極のメッキ下地膜13aを全面にスパッタリング等で成膜し、上部磁極等を除いたメッキさせたくない部分をフォトレジスト72で覆い、フォトレジストの開口部にNiFe等を成長させ、上部磁極13、カバー46を形成する。

【0024】この後、フォトレジスト72を除去し、メッキ下地膜13aの不要部（上部磁極13、カバー46を除く部分）を除去するためにイオンミリングによりエッチングを行う。上部磁極13は、スパッタリング・イオンミリング等を用いて形成されるが、電極6と上部磁気シールド9、上部磁極13は、下部磁気シールド3と接続されているので、これらは同電位に保たれ、静電破壊の発生が防止できる。また、コイルの形成時にも、スパッタリング・イオンミリング等を用いて形成されるが、同様に静電破壊の発生が防止できる。

【0025】続く工程で、下部端子14～18（図3参照）がメッキ等で形成、さらに、素子保護膜20（図3参照）がスパッタリング等で形成、さらに、上部端子21～25（図3参照）がメッキ等で形成される。これら工程においても、スパッタリング・イオンミリング等が用いられるが、電極6と上部磁気シールド9、上部磁極13、下部端子、上部端子は、下部磁気シールド3と接続されているので、これらは同電位に保たれ、静電破壊の発生が防止できる。

【0026】この後の工程にて、電極6と下部磁気シールド3、上部磁気シールド9、上部磁極13の電気的導通を遮断する。図6を用いて説明する。電極6とつながる第二の導電体52を素子保護膜20毎、カッター等でスクライブすることにより実現できる。

【0027】次に、磁気抵抗効果ヘッド素子の性能測定を行い、磁気抵抗効果型ヘッド素子集合体が出来上がる。前記構成により、MRセンサ、再生用上下ギャップ膜の静電破壊は防止されるが、膜欠陥、異物等によるMRセンサの異常、MRセンサと磁気シールドの短絡・疑似短絡が潜在している可能性があり、これらを選別するための抵抗測定、絶縁性能測定が必要である。素子の抵抗測定、絶縁性能測定について、図7を用いて説明する。図7(a)に、抵抗測定時のプローブの接続と配線を示した。測定用プローブを磁気抵抗効果型ヘッド素子の各端子に当接し、各プローブは、抵抗測定計100に接続されている。再生用素子は、上部端子21、22に当接したプローブから、記録用素子は、上部端子23、24に当接したプローブから抵抗測定計100に配線されている。

【0028】また、図7(b)は、絶縁性能測定時のプローブの接続と配線を示している。再生用素子は、上部端子21、22と上部端子26に当接したプローブから絶縁性能測定計200に配線され、絶縁抵抗測定、あるいは電圧印加時のリーク電流測定が行われる。上部端子26は、上部端子25から素子保護膜20の下部再生用上下部シールド3、9に接続されている（図3参照）ので、上部端子26と上部端子21、22にプローブを当接することで測定が出来る。

【0029】記録用素子は、上部端子23、24と上部端子26に当接したプローブから絶縁性能測定計200に配線され、同様の測定が出来る。図7(b)では、再生用素子、記録用素子共に各2ヶの端子と端子26にプローブを当接したが、各1ヶの端子と端子26にプローブを当接することでも同様の測定が出来る。

【0030】ところで、静電破壊の防止効果を確実に得るために、スパッタリングによる成膜・イオンミリングによるエッチングを行う時に、前記した導電体51、52のうち、いずれか一つを、スパッタリング、イオンミリング装置のグラウンド側に電気接続させておくのが良い。これは、次のような構成により、達成できる。

【0031】すなわち、図2のE部に相当する断面図である図8(a)に示す様に、基板1の外周部において、前記第一の導電体51、第二の導電体52の上には、導電体の形成後に付加される絶縁膜（本実施例では、下部ギャップ膜4、上部ギャップ膜8、記録用ギャップ膜10、素子保護膜20）が形成されない様にする事で達成される。これは、絶縁膜成膜のスパッタリング時に、基板の外周部にリング状の覆いを付けた状態でスパッタリングすることにより実現できる。外周部の導電体の露出部Fをスパッタリング、イオンミリング装置のグラウンド側に接続することで、電極6と磁気シールド3、9が同電位でグラウンド側電位に確定され、帯電が防止できる。

【0032】また、図8(b)の様に、ベース膜2を貫通する、銅メッキ等による導電体53で基板1と前記第一の導電体51、第二の導電体52を接続することでも達成できる。

【0033】以上は、第一の導電体51を下部磁気シールド3と同工程、第二の導電体52を電極6と同工程で形成した例について説明したが、他の工程でこれらの導電体を形成しても良い。

【0034】本発明の第二の実施例として、上部磁極の形成工程にて、これらの導電体を形成した例を説明する。上部磁極の形成工程まで、静電破壊が許容範囲内の場合有効である。

【0035】図9は、第一の実施例の図3に対応する図である。複数の素子の下部磁気シールド3と上部磁気シールド9、上部磁極13を電気的に接続する第一の導電体51は、上部磁極13と同工程、同材料で形成されている。第一の導電体51は、記録用ギャップ膜10のコンタクトホール部34上で上部磁極13とつながっており、コンタクトホール34の下で上部磁気シールド9と、さらに上部ギャップ膜8、下部ギャップ膜4のコンタクトホール33を通して下部磁気シールド3とつながっている。

【0036】一方、電極6は、上部ギャップのコンタクトホール31、32を通して、引出線41、42（上部磁気シールドと同工程、同材料で形成）により上部端子21、22の下まで延長されている。上部端子の下には、上部磁極13と同工程、同材料で形成されたカバー47、48があり、これらカバーは、同じく上部磁極13と同工程、同材料で形成された第二の導電体52と一体的に形成されている。第二の導電体52は、前記第一の導電体51とつながっている。これらにより、磁気シールド3、9及び磁極13と電極6が電気的に接続された構成となる。

【0037】したがって、上部磁極13の工程、及び以降の工程における静電破壊の発生を防止することが出来る。

【0038】さらに、第一の実施例と同様に、電極6と

つながる第二の導電体の電氣的接続を遮断し、ヘッド素子の性能測定を行い、磁気抵抗効果型ヘッド素子集合体が出来上がる。

【0039】第一、第二の実施例では、電極6と下部磁気シールド3、上部磁気シールド9、上部磁極13の電氣的導通を遮断する方法例として、カッター等でスクライブする事を示した。カッター等でスクライブを一本毎にのける、あるいは、レーザー等で導通させている線を一本毎に切断するのでは、時間がかかるので、短時間で多くの素子の電氣的導通を遮断する方法が好ましい。また、電氣的導通を遮断するときの静電破壊をさけるため、導通遮断時に帯電しない方法を用いる方が好ましい。

【0040】本発明の第三の実施例として、前記に関する改良例を図10を用いて説明する。図10は、本発明の第二の実施例として示した図9に相当する図である。第二の実施例と同様、上部磁極の形成工程にて、下部磁気シールド3、上部磁気シールド9、上部磁極13と電氣的につながる第一の導電体51、電極6と該第一の導電体51を電氣的につなぐ第二の導電体52を形成する。上部磁極の形成後、該第二の導電体の遮断部52a、52bが形成され、該第二の導電体52の電氣的導通が遮断される。

【0041】上部磁極13、及び第二の導電体52の形成後、図10に示す下部端子14～18、保護膜20、上部端子21～25と性能測定用端子26が形成され、さらに、第一の実施例と同じ性能測定を行い、磁気抵抗効果型ヘッド素子集合体が出来上がる。

【0042】本実施例によると、ウェットエッチングにより、基板上の第二の導電体52の電氣的導通遮断を一括で行うので、短時間で処理でき、また、帯電も防止できる。

【0043】一方、本実施例では、上部磁極完成時には、第二の導電体の電氣的導通が遮断される。したがって、上部磁極形成後に、許容出来ない静電破壊が発生する場合には、上部磁極と同工程で形成した導電体52のウェットエッチングによる導通遮断を該当工程(静電破壊が発生する工程)の後に行うことにより対応できる。

【0044】

【発明の効果】以上説明したように本発明によれば、磁

気抵抗効果型素子作製中の絶縁破壊が防止出来ると共に、素子作製工程終了時に素子の合否判定が可能になり、高信頼性を有する磁気抵抗効果型ヘッドを得ることができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例を説明する磁気抵抗効果型ヘッド素子集合体の斜視図。

【図2】図1のA部を拡大した概略図。

【図3】図2のB部を拡大した磁気抵抗効果型ヘッド素子の透視図。

【図4】図3のC部を拡大した再生用素子の概略図。

【図5】(a)及び(c)は本発明の第一の実施例を説明する磁気抵抗効果型ヘッド素子集合体の製造方法を説明する側断面図。

【図6】本発明の第一の実施例を説明する磁気抵抗効果型ヘッド素子集合体の製造方法を説明する斜視図。

【図7】(a)及び(b)は本発明の第一の実施例を説明する磁気抵抗効果型ヘッド素子集合体の製造方法を説明する図。

【図8】(a)及び(b)は本発明の第一の実施例を説明する磁気抵抗効果型ヘッド素子集合体の部分側断面図。

【図9】本発明の第二の実施例を説明する磁気抵抗効果型ヘッド素子の斜視図。

【図10】本発明の第三の実施例を説明する磁気抵抗効果型ヘッド素子の斜視図。

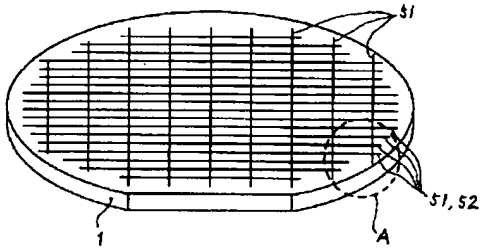
【図11】本発明の第三の実施例を説明する磁気抵抗効果型ヘッド素子集合体の製造方法を説明する側断面図。

【符号の説明】

| | |
|---------------------------|--------------------|
| 1…基板、 | 2…ベース膜、3… |
| 下部磁気シールド、 | 4…再生用下部ギャップ |
| 膜、5…MRセンサ、 | 6…電極、7… |
| 磁区制御膜、 | 8…再生用上部ギャップ |
| 膜、9…上部磁気シールド、 | 10…記録用ギャップ、11…コイル、 |
| 12…絶縁 | |
| 体、13…上部磁極、 | 4～18…下部 |
| 端子、20…素子保護膜、 | 21～26… |
| 上部端子、51…第一の導電体、 | 52…第 |
| 二の導電体、52a、52b…第二の導電体の遮断部、 | |
| 70～73…フォトレジスト、100…抵抗測定計、 | |
| 200…絶縁性能測定計。 | |

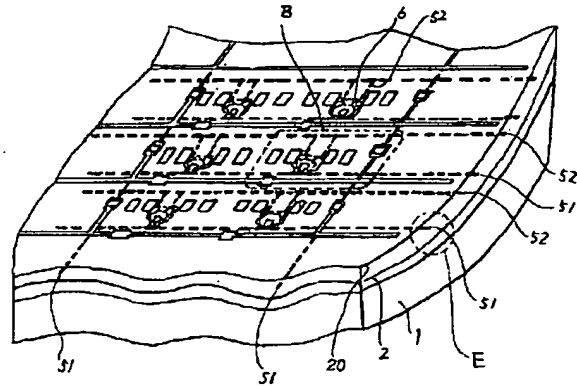
【図1】

図1



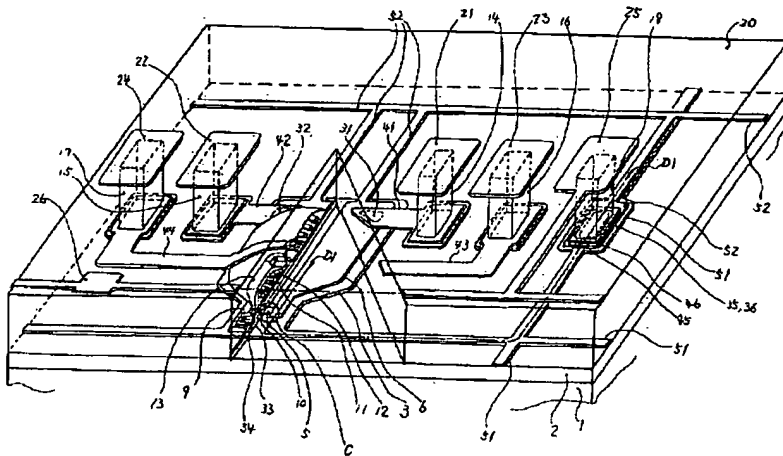
【図2】

図2



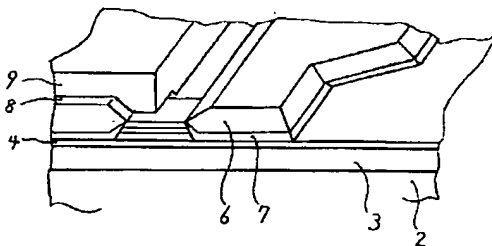
【図3】

図3



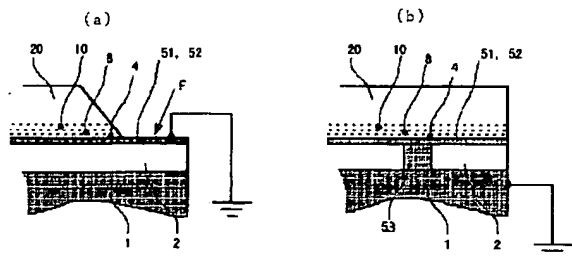
【図4】

図4

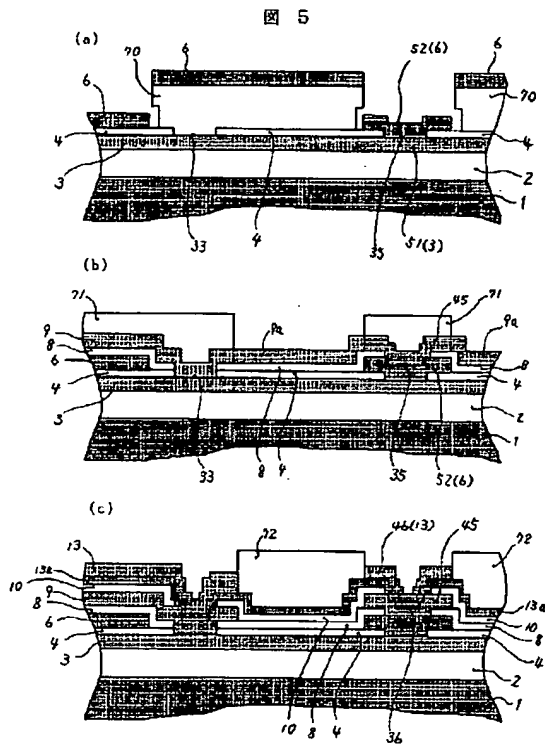


【図8】

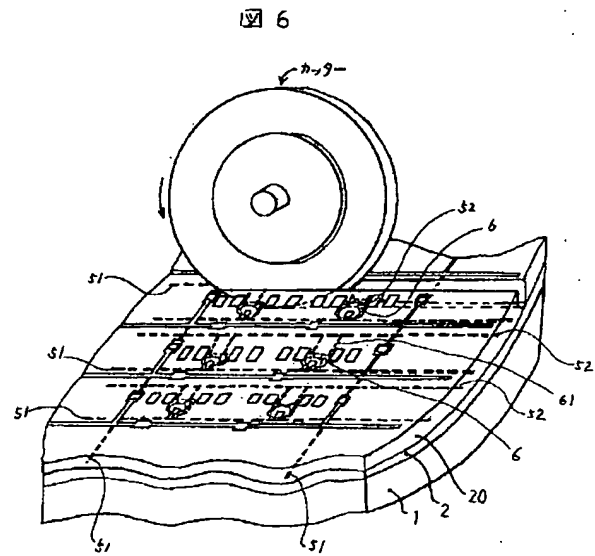
図8



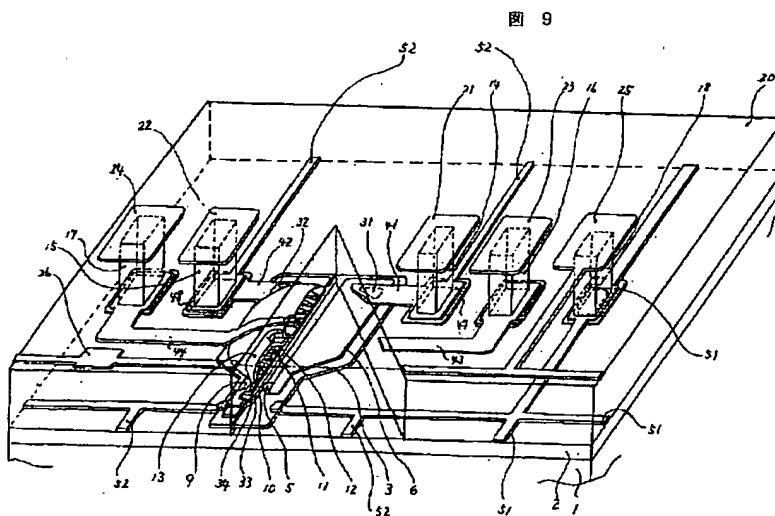
【図5】



【図6】

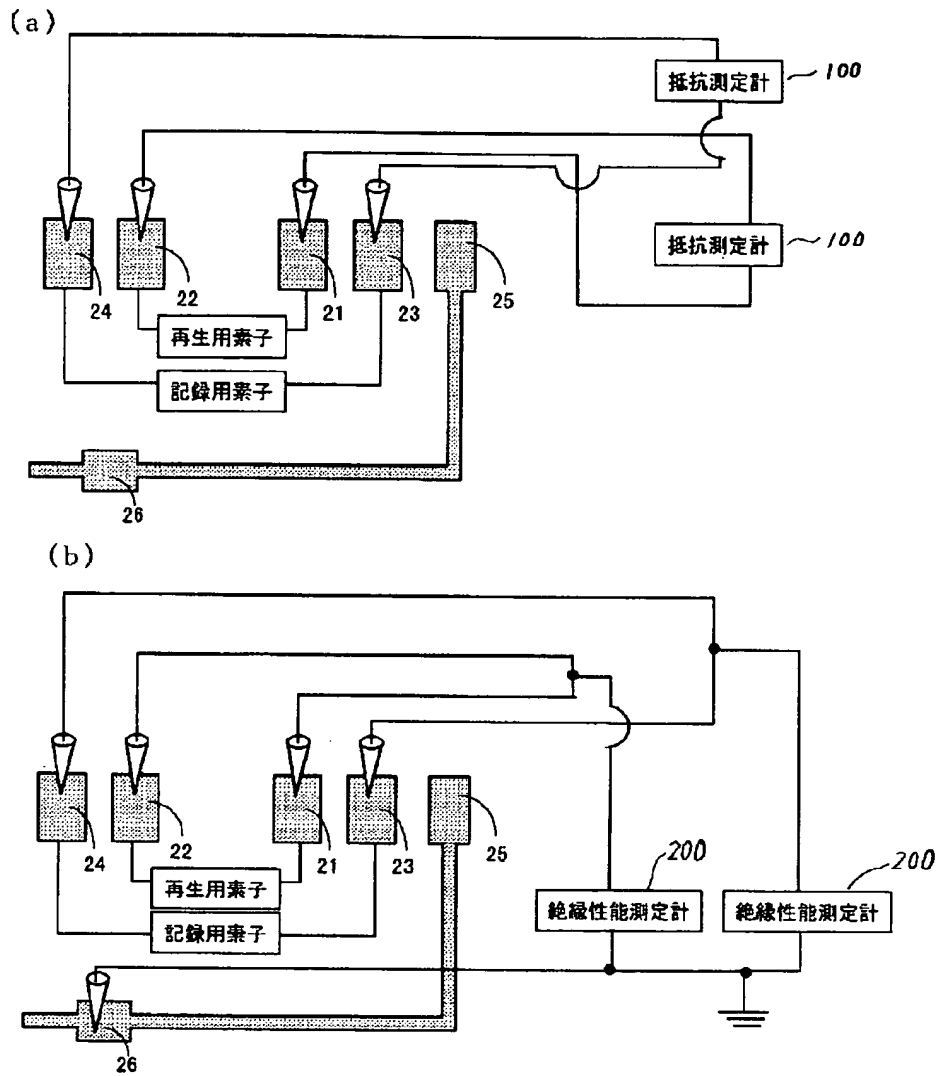


【図9】

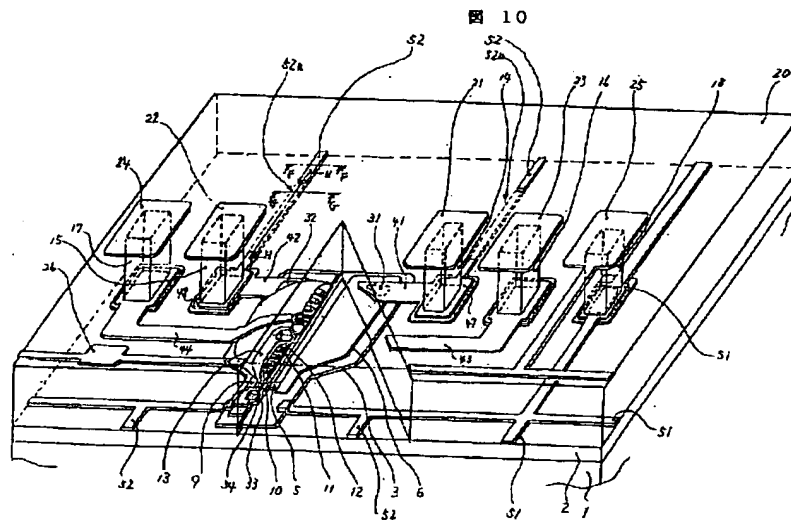


【図7】

図 7

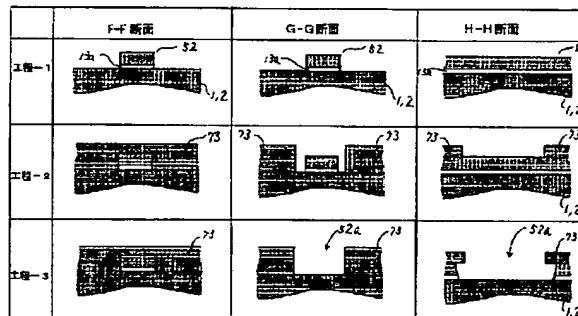


【図10】



【図11】

図 11



フロントページの続き

(72)発明者 斉藤 治信

神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 秋元 一

神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 佐々木 忍

神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 田井 芳治

神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

Fターム(参考) 5D034 BA02 BA08 BB08 CA07 DA07